

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : *YAO-WEN CHANG et al.*

Application No. : 10/033,748

Filed : December 19,2001

For : MOSFET STRUCTURE ITH REDUCED
JUNCTION CAPACITANCE

Examiner :

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

April 12, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90126667 filed on October 29, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7648). A duplicate copy of this sheet is enclosed.

Date: 4/12/2002

By:
Jiawei Huang
Registration No. 43,330

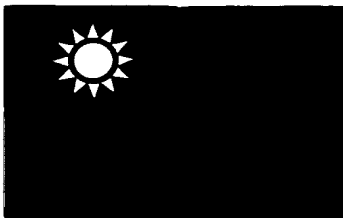
Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
APR 25 2002
TECHNOLOGY CENTER 2800

3067648

107035748



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 10 月 29 日
Application Date

申請案號：090126667
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 1 月 14 日
Issue Date

發文字號：
Serial No.

09111000623

TECHNOLOGY CENTER 2800

APR 25 2002

RECEIVED

申請日期	
案 號	90126667
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	具有較低接面電容之金氧半電晶體結構
	英 文	
二、發明 創作人	姓 名	1 張耀文 2 盧道政
	國 籍	中華民國
三、申請人	住、居所	1 新竹市關東路 23 巷 21 號 5 樓之 3 2 高雄市三民區嫩江街一巷 36 號
	姓 名 (名稱)	旺宏電子股份有限公司
三、申請人	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路十六號
三、申請人	代 表 人 姓 名	胡定華

裝

訂

線

四、中文發明摘要 (發明之名稱：具有較低接面電容之金氧半電晶體結構)

一種具有較低接面電容之金氧半電晶體結構，包括一具有第一側壁與第二側壁的彎曲閘極，位於一半導體基底上。一源極區位於半導體基底中並鄰接彎曲閘極的第一側壁。源極區包括一較寬部分與一較窄部分。接觸窗位於源極區較寬部分的上方且與源極區較寬部分電性相連。一汲極區位於半導體基底中並鄰接彎曲閘極的第二側壁。汲極區包括一較寬部分與一較窄部分。接觸窗位於汲極區較寬部分的上方且與汲極區較寬部分電性相連。汲極區較寬部分係與源極區較窄部分相對應，而汲極區較窄部分係與源極區較寬部分相對應。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (/)

本發明是有關於一種半導體元件，且特別是有關於一種具有較低接面電容 (Junction Capacitance) 的金氧半電晶體 (Metal-Oxide-Semiconductor Field Effect Transistors, MOSFET) 元件結構。

在金氧半電晶體元件運作的期間，源/汲極區的寄生接面電容 (Parasitic Junction Capacitance) 是在源/汲極區和基底間的空乏區 (Depletion Region) 的兩側產生。而接面電容大致上與源/汲極區的面積成正比。在電晶體的邏輯轉換 (Logic Transition) 期間，接面電容會對電晶體的切換速度 (Switching Speed) 造成不良的影響，這是因為每次電晶體在進行邏輯狀態間的切換時，接面電容會充電與放電，因而嚴重地降低電晶體的效能。

第 1 圖所繪示習知一種金氧半電晶體元件 18 結構之上視圖，其中具有一直式閘極 11 與形成於一主動區 17 中的對稱的源/汲極區 12 和 13。複數個接觸窗 14 與 15 係分別形成於源/汲極區 12 與 13 上。

請繼續參照第 1 圖，在閘極 11 中顯示的虛線 16 代表閘極 11 下的通道寬度 (channel width)，而源/汲極 12 與 13 的距離則是所謂的通道長度 (channel length) (未顯示)。在此情況下，通道寬度決定了在源/汲極區 12 與 13 間產生的通道電流的流量。也就是說，如果通道寬度隨元件縮小而變得較小，則操作期間源/汲極 12 與 13 之間的通道電流將減少，因而使元件效能變差。

因此，本發明的目的在提供一具有較小源/汲極區之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

半導體元件結構，以降低接面電容，並增進元件效能。

本發明之另一目的在提供一種具有較大通道寬度的半導體元件結構，使得在操作期間的通道電流增加，以增進元件效能。

本發明之又一目的在提供一種具有較小的源汲極區的半導體元件結構，使元件積集度可有效地增加。

依據上述目的，本發明提供一種金氧半電晶體結構包括一彎曲閘極，以及較小且不對稱之源/汲極區。

本發明係提供一種金氧半電晶體結構，其中包括一具有第一側壁與第二側壁的彎曲閘極，係位於一半導體基底上。一源極區位於半導體基底中並與彎曲閘極的第一側壁鄰接，源極區包括一較寬部分與一較窄部分。接觸窗係位於源極區較寬部分的上方且與源極區較寬部分電性相連。一汲極區位於半導體基底中並鄰接彎曲閘極的第二側壁，汲極區包括一較寬部分與一較小部分。接觸窗係位於汲極區較寬部分的上方且與汲極區較寬部分電性相連。汲極區較寬部分係與源極區較窄部分相對，而汲極區較窄部分係與源極區較寬部分相對。

本發明係提供一種具有彎曲閘極結構的金氧半電晶體元件。由於具有彎曲閘極結構，源極區較寬部分係與汲極區較窄部分相對，而源極區較窄部分係與汲極區較寬部分相對。因為具有接觸窗位於其上的源/汲極區較寬部分其面積與傳統金氧半電晶體中相對應之部分差不多，而沒有接觸窗位於其上的源/汲極區較窄部分其面積可以更加縮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

減，因此在本發明中的源極與汲極區可較習知金氧半電晶體結構的源/汲極區小。換句話說，本發明可形成具有較小面積的不對稱源/汲極區。這將可進一步降低接面電容，並可縮減金氧半電晶體元件的尺寸，因此增進積體電路元件的積集度。

在另外一方面，因為本發明的彎曲閘極結構，使接觸窗只位於源/汲極區的較寬部分，位於金氧半電晶體上而與接觸窗電性連接的導體層，其所需的面積將可比習知來的小，因而增加積體電路元件的積集度。

此外，根據本發明之彎曲閘極，可有效地增加通道寬度。因為通道寬度增加，所以通道電流亦增大。因此金氧半電晶體元件的效能可被大幅提昇。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，但並非限制用的例子，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係繪示習知一種金氧半電晶體結構之上視圖；

第 2 圖係繪示本發明較佳實施例之金氧半電晶體結構之上視圖；以及

第 3 圖係繪示依據第 2 圖中之 I-I 線的一金氧半電晶體結構之剖面圖。

圖式中標示之說明：

11：閘極

12/13：源/汲極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

- 14, 15, 76, 86: 接觸窗
- 16, 26: 虛線、通道寬度
- 17, 31: 主動區
- 18, 30: 金氧半電晶體元件
- 60: 彎曲閘極
- 62: 間隙壁
- 65: 閘介電層
- 66、68: 淺摻雜源/汲極區
- 70: 重摻雜源極區
- 71: 重摻雜源極區之較寬部分
- 72: 重摻雜源極區之較窄部分
- 80: 重摻雜汲極區
- 81: 重摻雜汲極區之較寬部分
- 82: 重摻雜汲極區之較窄部分
- 100: 半導體基底
- 110: 淺溝渠隔離結構
- 120: 金屬矽化物層結構

實施例

第 2 圖係繪示本發明較佳實施例之金氧半電晶體結構 30 之上視圖。此金氧半導體晶體 30 包括一位於半導體基底(未顯示)上之彎曲閘極 60，其中具有一第一側壁與第二側壁。舉例來說，彎曲閘極 60 係利用習知技術製作，例如包括於一 P 型基底的主動區 31 上熱成長一摺氧化層，其厚度約在 10 埃到 300 埃之間。然後執行一通道起始電

五、發明說明 (5)

壓調整離子植入(Channel Threshold Adjust Implantation)，植入的離子種類，例如是用於 NMOS 元件中的硼離子或氟化硼，或者用於 PMOS 元件中的砷離子或磷離子，其劑量約在 $3 \times 10^{11} / \text{cm}^2$ 到 $5 \times 10^{13} / \text{cm}^2$ 之間，能量約在 5 到 50 KeV 之間。接著，於墊氧化層上沉積一導體層。在一較佳實施例中，導體層係利用化學氣相沉積法 (Chemical Vapor Deposition，簡稱 CVD) 進行沉積，其材料例如是一摻雜多晶矽層，而摻雜多晶矽層在沉積過程中係利用適當的氣體離子進行臨場(in situ)摻雜，或者可選擇熟悉此技術者所知之任何其它的沉積技術。此導體層厚度較佳約在 2000 埃到 5000 埃之間，但是也可加以改變以形成不同厚度的閘極結構。接著，以習知之微影蝕刻製程形成一彎曲閘極結構 60，如第 2 圖所示。

請繼續參照第 2 圖，一源極區 70 係位於鄰接彎曲閘極 60 的第一側壁的半導體基底中。源極區 70 包括一較寬部分 71 與一較窄部分 72。接觸窗 76 係位於源極區 70 的較寬部分 71 上方，並與源極區 70 的較寬部分 71 電性相連。一汲極區 80 位於鄰接彎曲閘極 60 的第二側壁的半導體基底 100 中。汲極區 80 包括一較寬部分 81 與一較窄部分 82。接觸窗 86 係位於汲極區 80 的較寬部分 81 上方，且與汲極區 80 的較寬部分 81 電性相連。汲極區 80 的較寬部分 81 係與源極區 70 的較窄部分 72 相對，而汲極區 80 的較窄部分 82 係與源極區 70 的較寬部分 71 相對。源/汲極區的淺摻雜部分(LDD)較佳的是以閘極作為罩幕，利用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

自動對準方式(Self-Aligned)形成於基底中。

第3圖係繪示依據第2圖中之I-I線的一金氧半電晶體結構之剖面圖，顯示具有一閘極60、位於閘極60側壁的間隙壁62、一位於閘極60與基底100表面之間的閘介電層65、以及位於閘極60兩側之淺摻雜源極區66、源極區70中較寬部分71、淺摻雜汲極區68與汲極區80的較窄部分82。淺溝渠隔離結構110位於最後閘極結構60的兩側。基本上，淺摻雜源/汲極區66和68(如第3圖所示)係利用硼、氟化硼、砷或磷離子之植入而形成，其植入能量約在5到80 KeV，劑量約在 $5 \times 10^{12}/\text{cm}^2$ 到 $2 \times 10^{14}/\text{cm}^2$ 之間。重摻雜(Heavily Doped)源/汲極區70與80位於基底100中且較淺摻雜源/汲極區66與68深。重摻雜源/汲極區70與80係利用閘極間隙壁62作為罩幕，以垂直於基底100表面進行重離子植入製程而形成。基本上，重摻雜源/汲極區70與80係利用硼、氟化硼、砷或磷離子的植入製程而形成，其植入能量約在5到200 KeV，劑量約在 $1 \times 10^{14}/\text{cm}^2$ 到 $1 \times 10^{16}/\text{cm}^2$ 之間。然後以加熱活化源/汲極區70與80，加熱溫度約在攝氏800度到1100度，時間約在10秒(快速熱回火，較高溫)到60分鐘(較低溫)。

本發明藉由一彎曲閘極的設計並只在源/汲極區較寬部分上配置接觸窗，可降低源/汲極區較窄部分的面積，因此可形成較小而不對稱源/汲極區。如此一來，可以進一步實現縮小金氧半電晶體結構的尺寸。在彎曲閘極60中顯示的虛線26代表彎曲閘極60下的通道寬度26，而源

五、發明說明 (17)

/汲極 70 與 80 間的距離則是所謂的通道長度(未標示)。如第 2 圖所示，本發明之金氧半電晶體通道寬度 26 比習知金氧半電晶體結構的通道寬度更長。而元件尺寸的縮減將可獲得一更高積集度之電路元件。此外，源/汲極面積的減少將降低接面電容，因此可增進元件效能。

根據本發明較佳實施例，如第 3 圖所示，申請人更包括在閘極 60 與源/汲極區 70 和 80 上配置一金屬矽化物層 (Metal Silicide) 結構 120。因如，藉由選擇不同厚度與材質的金屬矽化物層結構 120，閘極 60 與源/汲極區 70 和 80 的片電阻可被有效地降低，使得不對稱接觸窗所造成的副作用能降到最低，以符合特殊元件功能之需求。換句話說，金屬矽化物層結構 120 將可使元件效能最佳化。於較佳實施例中，閘極 60 與源/汲極區 70 和 80 上之金屬矽化物層結構 120，其材質實質相同。在另一較佳實施例中，閘極 60 與源/汲極區 70 和 80 上之金屬矽化物層結構 120 可由不同材質構成。

上述金屬矽化物層 120 可利用不同的金屬形成，包括鈦、鈷、鎳、鉑與鈮。目前矽化鈦 (Titanium Silicide) 是最被廣泛使用的材質，但是矽化鈷和矽化鎳被認為是具有較佳降低線寬的特性。下列敘述是就矽化鈦製程而言，但是其它金屬矽化物也可以用於這個製程中。先以稀釋的氟化氫溶液去除基底表面的原生氧化層 (Native Oxide)，再利用物理氣相沉積法 (例如濺鍍法) 沉積一薄金屬層於元件上。金屬沉積的厚度係分別考慮形成一均勻且導電性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

佳的鈦化矽層所需足夠的鈦金屬以及考慮在矽化物結構下留下足夠的矽。在金屬矽化過程中過度的消耗矽基底，會使源/汲極區之接面發生不可預期的漏電流。矽化鈦可藉由一快速熱回火製程，在攝氏 750 度下施行約 20 秒形成。隨後蝕刻去除未反應的鈦。然後以氫氧化銨 (NH_4OH)、過氧化氫 (H_2O_2) 與水 (H_2O) 的溶液 (比例例如為 1:1:5) 蝕刻去除元件表面的氮化鈦 (Titanium Nitride)、富含鈦 (Titanium-rich) 之矽化鈦、氧化鈦與未反應的鈦，而留下閘極與重摻雜源/汲極區上的矽化鈦層。然後進行另一個快速熱回火製程，其溫度約在攝氏 700 度到 900 度，時間約在 10 秒到 60 秒，以使上層的金屬矽化結構轉變成具有較低的電阻值。後面這個快速熱回火製程較佳的溫度是約在攝氏 850 度，時間約 20 秒。

因此，本發明提供一種尺寸較小的金氧半電晶體結構，並具有較低寄生接面電容，因此金氧半電金體可具有較高操作頻率以及較高的積集度。

由於本發明的彎曲閘極 60 的設計，源極區 70 較寬部分 71 位於汲極區 80 較窄部分 82 之對面，而源極區 70 較窄部分 72 係位於汲極區 80 較寬部分 81 之對面。因為有接觸窗位於其上之源/汲極區較寬部分 71，其面積與傳統金氧半電晶體源/汲極相對應的部分相當接近，而且無接觸窗位於其上的源/汲極區較窄部份其面積可以進一步縮減，因此本發明電晶體之源極與汲極區可以較習知金氧半電晶體結構小，換句話說，可形成具有較小面積的不對稱

五、發明說明(9)

源/汲極區。這將使接面電容進一步的降低，並使得金氧半電晶體元件的尺寸可以更進一步縮減，從而增加積體電路元件的積集度。

根據本發明的彎曲閘極結構，因為接觸窗僅位於源/汲極區域的較寬部分上，位於金氧半電晶體上而與接觸窗電性連接的導體層所需的面積，可使元件面積將比較習知來得小，如此將可增加積體電路元件的積集度。

因為本發明的閘極結構是彎曲的，因此通道寬度可被有效地增加。因為通道寬度增加，所以通道電流亦增大，因此金氧半電晶體元件的效能可被大幅提昇。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1. 一種具有較低接面電容之金氧半電晶體結構，包括：

一基底；

一彎曲閘極位於該基底上；

一閘極介電層位於該彎曲閘極與該基底之間；以及

一源極區與一汲極區位於該基底中並在該彎曲閘極之側邊，其中該源極區有一較寬部分與一較窄部分，而該汲極區有一較寬部分與一較窄部分，其中該源極區的該較寬部分係與該汲極區的該較窄部分相對，而該源極區的該較窄部分係與該汲極區的該較寬部分相對。

2. 如申請專利範圍第 1 項所述之具有較低接面電容之金氧半電晶體結構，其中至少一接觸窗位於該源極區的該較寬部分上方以及至少一接觸窗位於該汲極區的該較寬部分上方。

3. 如申請專利範圍第 1 項所述之具有較低接面電容之金氧半電晶體結構，其中該彎曲閘極的材質包括摻雜多晶矽。

4. 如申請專利範圍第 3 項所述之具有較低接面電容之金氧半電晶體結構，其中多晶矽之摻雜係以臨場(in situ)方式實施。

5. 一種金氧半電晶體結構，包括：

一基底；

一彎曲閘極位於該基底上；

一閘極介電層位於該彎曲閘極與該基底之間；

六、申請專利範圍

一源極區與一汲極區位於該基底中並鄰近該彎曲閘極，其中該源極區有一較寬部分與一較窄部分，以及該汲極區有一較寬部分與一較窄部分，其中該源極區的該較寬部分係與該汲極區的該較窄部分相對，而該源極區的該較窄部分係與該汲極區的該較寬部分相對；以及

一金屬矽化物層位於該彎曲閘極以及該源極與該汲極區上。

6. 如申請專利範圍第 5 項所述之金氧半電晶體結構，其中至少一接觸窗位於該源極區的該較寬部分上方以及至少一接觸窗位於該汲極區的該較寬部分上方。

7. 如申請專利範圍第 5 項所述之金氧半電晶體結構，其中該金屬矽化物層的材質係選自於包括矽化鈦、矽化鈷、矽化鎳與矽化鈮之族群。

8. 一種金氧半導體元件，包括：

一基底；

一彎曲閘極位於該基底上；

一閘極介電層位於該彎曲閘極與該基底之間；

一淺摻雜源極區、一源極區、一淺摻雜汲極區與一汲極區位於鄰接該彎曲閘極的該基底中，其中該淺摻雜源極區、該源極區、該淺摻雜汲極區與該汲極區分別具有一較寬部分與一較窄部分，其中該淺摻雜源極區與該源極區的該較寬部分係與該淺摻雜汲極區與該汲極區的該較窄部分相對，而該淺摻雜源極區與該源極區的該較窄部分係與該淺摻雜汲極區與該汲極區的該較寬部分相對；以及

六、申請專利範圍

一第一金屬矽化物層位於該彎曲閘極上以及一第二金屬矽化物層係位於該源極與該汲極區上。

9. 如申請專利範圍第 8 項所述之金氧半導體元件，其中至少一接觸窗位於該源極區的該較寬部分上方，以及至少一接觸窗位於該汲極區的該較寬部分上方。

10. 如申請專利範圍第 8 項所述之金氧半導體元件，其中該第一金屬矽化物層的材質係選自於包括矽化鈦、矽化鈷、矽化鎳與矽化鈮之族群。

11. 如申請專利範圍第 8 項所述之金氧半導體元件，其中該第二金屬矽化物層的材質係選自於包括矽化鈦、矽化鈷、矽化鎳與矽化鈮之族群。

12. 如申請專利範圍第 8 項所述之金氧半導體元件，其中位於該彎曲閘極上的該第一金屬矽化物層的材質與位於該源極與該汲極區上的該第二金屬矽化物層的材質實質相同。

13. 如申請專利範圍第 8 項所述之金氧半導體元件，其中位於該彎曲閘極上的該第一金屬矽化物層之材質與位於該源極與該汲極區上的該第二金屬矽化物層的材質不同。

14. 如申請專利範圍第 8 項所述之金氧半導體元件，其中該第一金屬矽化物層之材質是矽化鈦。

15. 如申請專利範圍第 8 項所述之金氧半導體元件，其中該第二金屬矽化物層的材質是矽化鈦。

16. 一種金氧半導體元件，包括：

六、申請專利範圍

一彎曲閘極位於一基底上；

一閘極介電層位於該彎曲閘極與該基底之間；以及

一淺摻雜源極區，一源極區，一淺摻雜汲極區與一汲極區鄰接於該彎曲閘極的該基底中，其中該淺摻雜源極區，該源極區，該淺摻雜汲極區與該汲極區分別具有一較寬部分與一較窄部分，其中該淺摻雜源極區與該源極區的該較窄部分係與該淺摻雜汲極區與該汲極區的該較寬部分相對，以及該淺摻雜源極區與該源極區的該較寬部分係與該淺摻雜汲極區與該汲極區的該較窄部分相對。

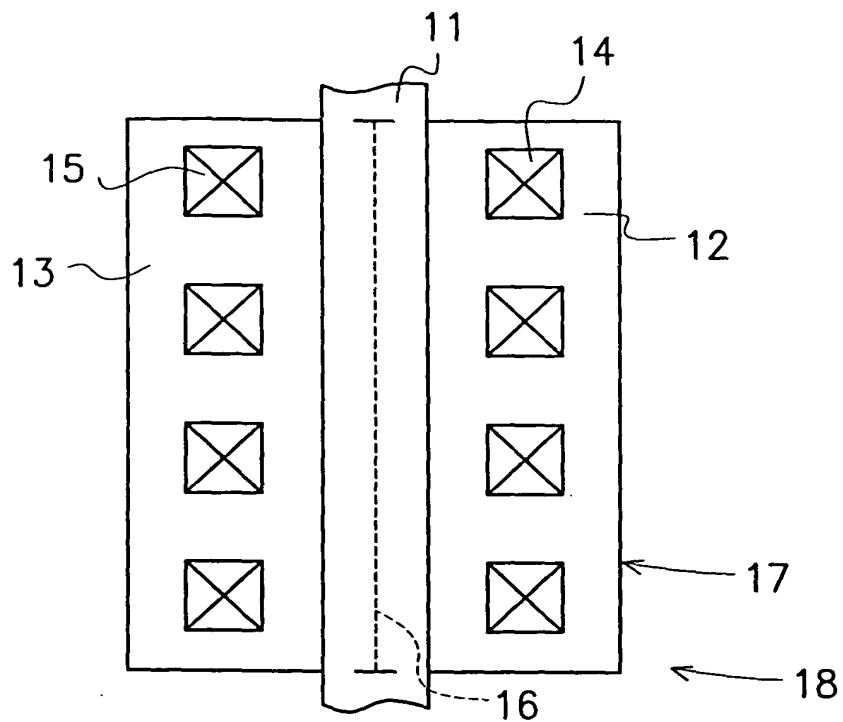
17. 如申請專利範圍第 16 項所述之金氧半導體元件，其中至少一接觸窗位於該源極區的該較寬部分上方以及至少一接觸窗位於該汲極區的該較寬部分上方。

(請先閱讀背面之注意事項再填寫本頁)

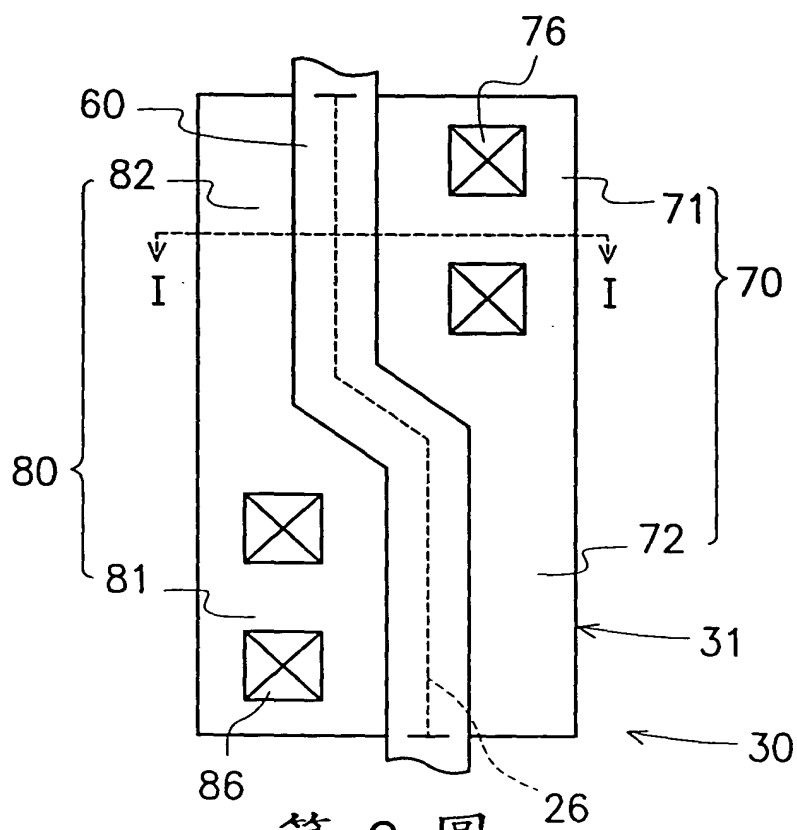
裝

訂

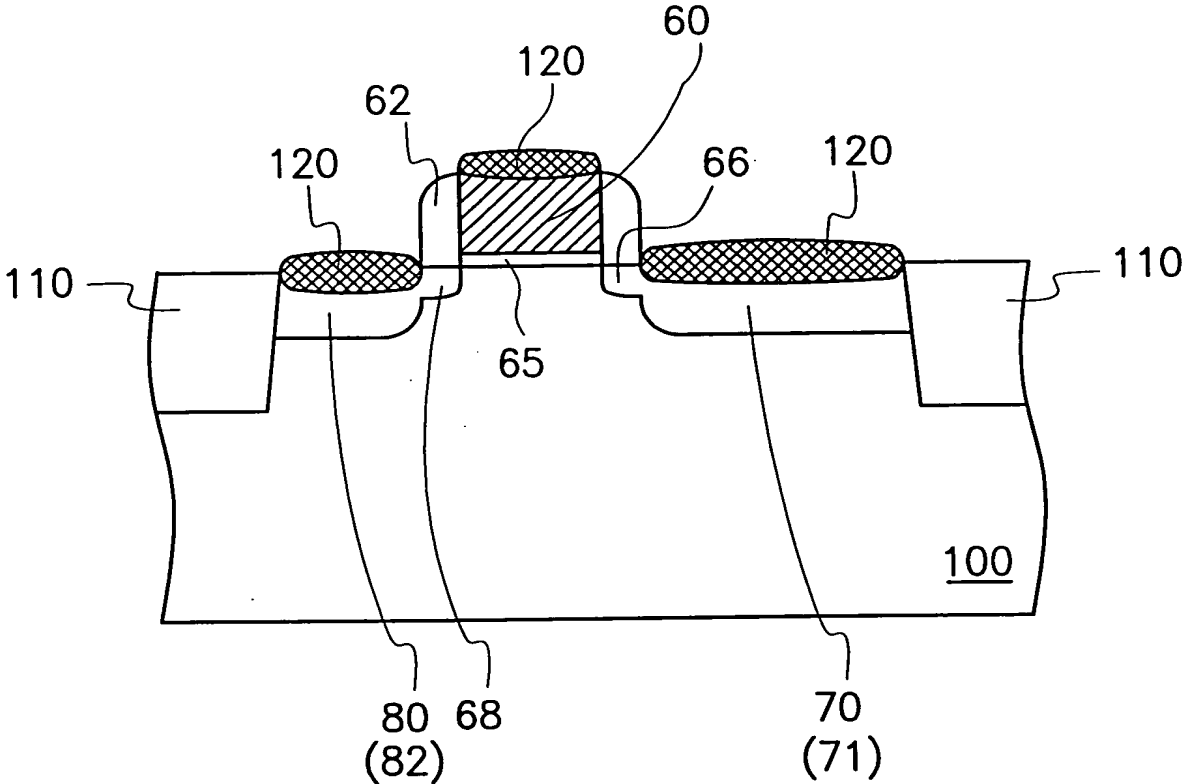
線



第 1 圖



第 2 圖



第 3 圖